

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 262/029

In re patent application of

Jae-Hoon JOO, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: BIT LINE PRE-CHARGE CIRCUIT OF SEMICONDUCTOR MEMORY DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:


The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2002-46378, filed August 6, 2002.

Respectfully submitted,

August 5, 2003
Date



Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0046378
Application Number PATENT-2002-0046378

출 원 년 월 일 : 2002년 08월 06일
Date of Application AUG 06, 2002

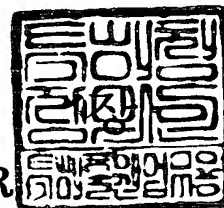
출 원 인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 03 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.06
【발명의 명칭】	반도체 메모리 장치의 비트 라인 프리차지 회로
【발명의 영문명칭】	Bit line precharge circuit of semiconductor memory device and layout method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	주재훈
【성명의 영문표기】	JOO, JAE HOON
【주민등록번호】	641115-1448831
【우편번호】	449-845
【주소】	경기도 용인시 수지읍 죽전리 832-1 벽산아파트 208-802
【국적】	KR
【발명자】	
【성명의 국문표기】	이진석
【성명의 영문표기】	LEE, JIN SEOK
【주민등록번호】	580828-1696712
【우편번호】	449-913
【주소】	경기도 용인시 구성면 보정리 1161 진산마을 삼성5차아파트 504동 70 5호
【국적】	KR
【발명자】	
【성명의 국문표기】	강상석
【성명의 영문표기】	KANG, SANG SEOK
【주민등록번호】	620806-1802711

【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1186번지
【국적】	KR
【발명자】	
【성명의 국문표기】	이규찬
【성명의 영문표기】	LEE,KYU CHAN
【주민등록번호】	630105-1580915
【우편번호】	134-071
【주소】	서울특별시 강동구 명일1동 삼익그린아파트 501동 705호
【국적】	KR
【발명자】	
【성명의 국문표기】	곽병헌
【성명의 영문표기】	KWAK,BYUNG HEON
【주민등록번호】	630411-1794613
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 대림아파트 222동 702호
【국적】	KR
【발명자】	
【성명의 국문표기】	김병철
【성명의 영문표기】	KIM,BYUNG CHUL
【주민등록번호】	640413-1674716
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 풍림아파트 604동 1902호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	12 면 12,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	18 항 685,000 원
【합계】	726,000 원

1020020046378

출력 일자: 2002/12/4

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 메모리 장치의 비트 라인 프리차지 회로를 공개한다. 이 회로는 비트 라인쌍사이에 연결되고 프리차지 제어신호에 응답하여 비트 라인쌍을 프리차지 전압으로 프리차지하는 비트 라인 프리차지 회로, 및 프리차지 제어신호에 응답하여 프리차지 전압을 상기 비트 라인 프리차지 회로로 전송하는 프리차지 전압 전송회로로 구성되어 있다. 따라서, 워드 라인과 비트 라인쌍사이에 쇼트 발생시에 해당 비트 라인쌍사에 연결된 프리차지 회로를 통한 프리차지 전압 발생 라인의 전압 감소를 방지할 수 있으며, 스탠바이 상태에서 스탠바이 전류 소모를 줄일 수 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

반도체 메모리 장치의 비트 라인 프리차지 회로{Bit line precharge circuit of semiconductor memory device and layout method thereof}

【도면의 간단한 설명】

도1은 일반적인 반도체 메모리 장치의 비트 라인쌍사이의 회로 구성을 나타내는 것이다.

도2는 도1에 나타난 반도체 메모리 장치의 비트 라인 프리차지 회로의 레이아웃을 나타내는 것이다.

도3은 본 발명의 반도체 메모리 장치의 비트 라인쌍사이의 실시예의 회로 구성을 나타내는 것이다.

도4는 도1에 나타난 반도체 메모리 장치의 비트 라인 프리차지 회로의 실시예의 레이아웃을 나타내는 것이다.

도5는 본 발명의 반도체 메모리 장치의 비트 라인 프리차지 회로의 다른 실시예의 레이아웃을 나타내는 것이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치의 비트 라인 프리차지 회로에 관한 것이다.

- <7> 일반적으로, 반도체 메모리 장치의 비트 라인 프리차지 회로는 프리차지 동작시에 비트 라인쌍들을 소정 레벨로 프리차지한다. 이때, 프리차지 전압 레벨은 전원전압(VCC) 레벨의 데이터와 접지전압(0V) 레벨의 데이터사이의 레벨인 VCC/2 레벨이 된다.
- <8> 그런데, 만일 비트 라인쌍의 프리차지 전압 레벨이 VCC/2 레벨보다 높아지게 되면 "하이" 레벨의 데이터 마아진(margin)이 나빠지게 되고, VCC/2 레벨보다 낮아지게 되면 "로우" 레벨의 데이터 마아진이 나빠지게 된다.
- <9> 즉, 비트 라인쌍이 VCC/2 레벨로 프리차지된 상태에서, 액티브 동작시에 워드 라인이 선택되면 선택된 워드 라인에 연결된 메모리 셀과 비트 라인쌍사이에 전하 공유 동작이 수행된다. 이때, 프리차지 전압 레벨이 VCC/2 레벨보다 높은 상태에서 PMOS 비트 라인 센스 증폭기가 비트 라인쌍의 "하이"레벨의 데이터를 증폭하게 되면 비트 라인쌍의 "하이"레벨의 데이터를 전원전압(VCC) 레벨로 충분하게 증폭할 수 없거나, 증폭 동작이 정확하게 수행될 수 없다. 마찬가지로, 프리차지 전압 레벨이 VCC/2 레벨보다 낮은 상태에서 NMOS 비트 라인 센스 증폭기가 비트 라인쌍의 "로우"레벨의 데이터를 증폭하게 되면 비트 라인쌍의 "로우"레벨의 데이터를 접지전압 레벨로 충분하게 증폭할 수 없거나, 증폭 동작이 정확하게 수행될 수 없다.
- <10> 따라서, 프리차지 동작시에 비트 라인쌍의 프리차지 전압 레벨을 VCC/2로 일정하게 유지하는 것이 반도체 메모리 장치의 동작에 있어서 중요하다.
- <11> 종래의 반도체 메모리 장치는 공정 변화로 인해서 워드 라인과 비트 라인쌍

사이에 쇼트(short)가 발생할 가능성이 있다. 이 경우에, 쇼트가 발생한 워드 라인과 비트 라인쌍사이에 연결된 메모리 셀들을 리던던트 메모리 셀들로 대체함으로써 반도체 메모리 장치를 리페어하는 것이 가능하다.

<12> 그런데, 쇼트가 발생한 워드 라인과 비트 라인쌍사이에 연결된 메모리 셀들을 리던던트 메모리 셀들로 대체한 경우에도, 프리차지 동작이 수행되면 쇼트가 발생한 비트 라인쌍에 대한 프리차지 동작이 수행된다. 이때, 쇼트가 발생한 워드 라인과 비트 라인쌍사이에 전류 통로가 형성되어 비트 라인쌍의 프리차지 전압 레벨이 떨어지게 되고, 이에 따라, 프리차지 전압 발생 라인의 전압 레벨 또한 떨어지게 된다. 따라서, 쇼트가 발생한 비트 라인쌍의 프리차지 전압 레벨만 떨어지는 것이 아니라 다른 비트 라인쌍들사이에 연결된 비트 라인 프리차지 회로로 공급되는 비트 라인 프리차지 전압 레벨 또한 떨어지게 됨으로써 해당 반도체 메모리 장치의 전체적인 동작 특성을 저해하게 된다는 문제점이 있었다.

<13> 그리고, 종래의 반도체 메모리 장치의 비트 라인 프리차지 회로의 레이아웃방법은 프리차지 회로들을 구성하는 트랜지스터들의 저항 값이 작아 쇼트가 발생한 비트 라인쌍의 프리차지 전압 레벨이 떨어지는 경우에 프리차지 전압 발생 라인의 전압이 용이하게 떨어지게 되고, 또한, 스텐바이 상태에서 스텐바이 전류 소모가 증가된다는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명의 목적은 비트 라인쌍과 워드 라인사이에 쇼트 발생시에 프리차지 전압 발생 라인의 전압 감소를 방지할 수 있는 반도체 메모리 장치의 비트 라인 프리차지 회로를 제공하는데 있다.

- <15> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 비트 라인 프리차지 회로의 제1형태는 비트 라인쌍사이에 직렬 연결되고 프리차지 제어신호가 인가되는 게이트를 가지고 상기 프리차지 제어신호에 응답하여 상기 비트 라인쌍으로 프리차지 전압을 전송하는 제1 및 제2트랜지스터들, 및 상기 비트 라인쌍사이에 연결되고 상기 프리차지 제어신호가 인가되는 게이트를 가지고 상기 비트 라인쌍을 동일 레벨로 만드는 제3트랜지스터를 구비하고, 상기 제1, 2NMOS트랜지스터들의 채널 길이를 상기 제3트랜지스터들의 채널 길이보다 길게 함으로써, 상기 제1, 2NMOS트랜지스터들의 저항 값이 상기 제3트랜지스터의 저항 값보다 큰 것을 특징으로 한다.
- <16> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 비트 라인 프리차지 회로의 제2형태는 비트 라인쌍사이에 연결되고 프리차지 제어신호에 응답하여 비트 라인쌍을 프리차지 전압으로 프리차지하는 비트 라인 프리차지 회로, 및 상기 프리차지 제어신호에 응답하여 상기 프리차지 전압을 상기 비트 라인 프리차지 회로로 전송하는 프리차지 전압 전송회로를 구비하는 것을 특징으로 한다.
- <17> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 비트 라인 프리차지 회로의 제3형태는 복수개의 워드 라인 선택신호들에 응답하여 선택되는 복수개의 워드 라인들, 상기 복수개의 워드 라인들과 직교하는 방향으로 배치된 복수개의 컬럼 선택신호들에 응답하여 선택되는 복수개의 비트 라인쌍들, 상기 복수개의 워드 라인들과 상기 복수개의 비트 라인쌍들사이에 연결된 복수개의 메모리 셀들, 및 복수개의 프리차지 제어신호들에 응답하여 상기 복수개의 비트 라인쌍들을 프리차지 전압으로 프리차지하는 복수개의 비트 라인 프리차지 회로들을 구비하고, 상기 복수개의 비트 라인 프리차지 회로들 각각이 상기 비트 라인쌍사이에 직렬 연결되고 프리차지 제어신호가 인가되는 게이트

트를 가지고 상기 프리차지 제어신호에 응답하여 상기 비트 라인쌍으로 프리차지 전압을 전송하는 제1 및 제2트랜지스터들, 및 상기 비트 라인쌍사이에 연결되고 상기 프리차지 제어신호가 인가되는 게이트를 가지고 상기 비트 라인쌍을 동일 레벨로 만드는 제3트랜지스터를 구비하고, 상기 제1, 2NMOS트랜지스터들의 채널 길이를 상기 제3트랜지스터들의 채널 길이보다 길게 함으로써, 상기 제1, 2NMOS트랜지스터들의 저항 값이 상기 제3트랜지스터의 저항 값보다 큰 것을 특징으로 한다.

<18> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 비트 라인 프리차지 회로의 제4형태는 복수개의 워드 라인 선택신호들에 응답하여 선택되는 복수개의 워드 라인들, 상기 복수개의 워드 라인들과 직교하는 방향으로 배치된 복수개의 컬럼 선택신호들에 응답하여 선택되는 복수개의 비트 라인쌍들, 상기 복수개의 워드 라인들과 상기 복수개의 비트 라인쌍들사이에 연결된 복수개의 메모리 셀들, 복수개의 프리차지 제어신호들에 응답하여 상기 복수개의 비트 라인쌍들을 프리차지 전압으로 프리차지하는 복수개의 비트 라인 프리차지 회로들, 및 상기 복수개의 프리차지 제어신호들에 응답하여 상기 복수개의 비트 라인 프리차지 회로들로 상기 프리차지 전압을 전송하는 복수개의 프리차지 전압 전송회로들을 구비하는 것을 특징으로 한다.

<19> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 비트 라인 프리차지 회로의 제5형태는 제1프리차지 회로가 배치되는 제1비트 라인영역과 제2프리차지 회로가 배치되는 제2비트 라인영역을 구비하는 반도체 메모리 장치의 비트 라인 프리차지 회로에 있어서, 상기 제1비트 라인 영역에 배치되는 제1트랜지스터, 및 상기 제2비트 라인 영역에 배치되는 제2트랜지스터로 이루어져 있고, 상기 제1트랜지스터의 채널은

상기 제1비트 라인의 제1영역에서 시작하여 상기 제2비트 라인 영역을 통하여 형성되는 것을 특징으로 한다.

<20> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 비트 라인 프리차지 회로의 제6형태는 제1프리차지 회로가 배치되는 제1비트 라인 영역에 제1트랜지스터가 배치되고 제2프리차지 회로가 배치되는 제2비트 라인 영역에 제2트랜지스터가 배치되는 반도체 메모리 장치의 비트 라인 프리차지 회로에 있어서, 상기 제1트랜지스터가 형성되는 제1액티브 영역, 상기 제2트랜지스터가 형성되는 제2액티브 영역, 및 제3트랜지스터가 형성되는 제3액티브 영역을 구비하고 있고, 상기 제1액티브 영역의 일단과 상기 제2액티브 영역의 일단을 연결하고 상기 제2액티브 영역의 일단과 상기 제3액티브 영역의 일단을 연결하는 단계를 구비하는 것을 특징으로 한다.

【발명의 구성 및 작용】

<21> 이하, 첨부한 도면을 참고로 하여 본 발명의 반도체 메모리 장치의 비트 라인 프리차지 회로를 설명하기 전에 일반적인 반도체 메모리 장치의 비트 라인 프리차지 회로를 설명하면 다음과 같다.

<22> 도1은 일반적인 반도체 메모리 장치의 비트 라인쌍사이의 회로 구성을 나타내는 것으로, 데이터 입출력 라인쌍들((I01, I01B) ~ (I04, I04B)) 각각의 왼쪽의 어레이 비트 라인쌍들((ABL1, ABL1B) ~ (ABL4, ABL4B))에 연결된 비트 라인 프리차지 회로들(14-1 ~ 14-3), 비트 라인 아이솔레이션 회로들(16-1 ~ 16-4), 및 PMOS 비트 라인 센스 증폭기들(12-1 ~ 12-4), 데이터 입출력 라인쌍들((I01, I01B) ~ (I04, I04B)) 각각의 오른쪽의 어레이 비트 라인쌍들((ABL1, ABL1B) ~ (ABL4, ABL4B))에 연결된 비트 라인 프리차지 회로들(14-5 ~ 14-6), 비트 라인 아이솔레이션 회로들(16-5 ~ 16-8), 및 NMOS 비트

라인 센스 증폭기들(12-5 ~ 12-8), 센스 비트 라인쌍들((SBL1, SBL1B) ~ (SBL4, SBL4B)) 각각과 데이터 입출력 라인쌍들((IO1, IO1B) ~ (IO2, IO2B)) 각각의 사이에 연결된 데이터 입출력 회로들(18-1 ~ 18-4)을 구비하여 구성되어 있다.

<23> 도1에서, 10-i, 10-(i+1), 10-(i+2)로 나타낸 블록들은 메모리 셀 어레이 블록들을 각각 나타낸다.

<24> 도1에 나타낸 회로들 각각의 구성 및 기능을 설명하면 다음과 같다.

<25> 프리차지 회로들(14-1 ~ 8)은 NMOS트랜지스터들(N11 ~ N13, N14 ~ N16 ... , N41 ~ N43, N44 ~ N46)로 각각 구성되고 해당 프리차지 제어신호들(..., PREi, PRE(i+1), PRE(i+2)...)에 응답하여 어레이 비트 라인쌍들((ABL1, ABL1B) ~ (ABL4, ABL4B))을 프리차지한다. 비트 라인 아이솔레이션 회로들(16-1 ~ 16-8) 각각은 NMOS트랜지스터들(N1, N2)로 각각 구성되고 해당 아이솔레이션 제어신호들(..., ISOi, ISO(i+1), ISO(i+2)...)에 응답하여 어레이 비트 라인쌍들((ABL1, ABL1B) ~ (ABL4, ABL4B))과 센스 비트 라인쌍들((SBL1, SBL1B) ~ (SBL4, SBL4B))을 분리한다. 데이터 입출력 회로들(18-1 ~ 18-4) 각각은 NMOS트랜지스터들(N3, N4)로 구성되고, 컬럼 선택신호(CSL1)에 응답하여 센스 비트 라인쌍들((SBL1, SBL1B) ~ (SBL4, SBL4B))과 데이터 입출력 라인쌍들((IO1, IO1B) ~ (IO4, IO4B))사이 에 데이터를 전송한다.

<26> 도1에 나타낸 반도체 메모리 장치의 워드 라인(WLj)과 어레이 비트 라인(ABL1)사이에 쇼트가 발생한 경우의 동작을 설명하면 다음과 같다.

<27> 프리차지 동작시에 전원전압(VCC) 레벨의 아이솔레이션 제어신호들(..., ISOi, ISO(i+1), ISO(i+2), ...)와 전원전압(VCC) 레벨의 프리차지 제어신호들(..., (PREi,

PRE(i+1), PRE(i+2), ...)이 인가되면 NMOS트랜지스터들(N1, N2, N11 ~ N16, N21 ~ N26, N31 ~ N36, N41 ~ N46)이 온되어, 어레이 비트 라인쌍들((ABL1, ABL1B) ~ (ABL4, ABL4B))과 센스 비트 라인쌍들((SBL1, SBL1B) ~ (SBL4, SBL4B))이 프리차지 전압(VBL) 레벨로 프리차지된다. 여기에서, 메모리 셀(MC1)의 워드라인(WLj)과 어레이 비트 라인(ABL1)이 단락(short) 되었을 경우 워드 라인(WLj)이 접지전압(VSS) 레벨이므로, 어레이 비트 라인(ABL1)으로부터 워드 라인(WLj)으로 전류 흐름이 발생한다. 이에 따라, 어레이 비트 라인(ABL1)의 프리차지 전압 레벨이 떨어지게 된다.

<28> 즉, 프리차지 동작시에 프리차지 회로(14-5)를 구성하는 NMOS트랜지스터(N12)가 온되어 있으므로, NMOS트랜지스터(N12)를 통하여 전류 흐름이 발생하여 프리차지 전압(VBL) 레벨이 떨어지게 된다.

<29> 이때, 떨어진 프리차지 레벨은 인접하는 어레이 비트 라인(ABL3)에 영향을 주게 되는데, 프리차지 제어신호 PRE(i+1) "하이"레벨로 가게됨에 따라 프리차지 회로(14-7)의 NMOS트랜지스터(N32)가 온되어 어레이 비트 라인(ABL3)의 프리차지 전압 레벨이 낮아지게 된다.

<30> 따라서, NMOS 비트 라인 센스 증폭기들(12-5, 12-7)이 "로우"레벨의 데이터를 증폭시에 충분하게 접지전압 레벨로 증폭할 수 없거나, 증폭 동작이 정확하게 수행될 수 없다.

<31> 도2는 도1에 나타낸 반도체 메모리 장치의 비트 라인 프리차지 회로(14-5)의 레이아웃을 나타내는 것으로, N11S, N12S, N13S는 NMOS트랜지스터들(N11, N12, N13)의 소스 영역을, N11D, N12D, N13D는 NMOS트랜지스터들(N11, N12, N13)의 드레인 영역을, N11G,

N12G, N13G는 NMOS트랜지스터들(N11, N12, N13)의 게이트 영역을 각각 나타낸다. 그리고, $\ell 1$, $\ell 2$, $\ell 3$ 는 NMOS트랜지스터들(N11, N12, N13) 각각의 채널 길이를 나타낸다.

<32> 도2에서, 기판(미도시)위에 사각형 형태의 NMOS트랜지스터들(N11, N12, N13)의 액티브 영역(30)이 배치된다. 액티브 영역(30)의 NMOS트랜지스터들(N11, N12)의 공통 소스 영역(N11S, N12S)과 NMOS트랜지스터(N11)의 드레인 영역(N11D)(NMOS트랜지스터(N13)의 소스 영역(N13S))사이의 위에 NMOS트랜지스터(N11)의 게이트 영역(N11G)이 배치된다. 그리고, NMOS트랜지스터(N11)의 게이트 영역과 직교하는 방향으로 NMOS트랜지스터들(N11, N12)의 공통 소스 영역(N11S, N12S) 및 NMOS트랜지스터(N11)의 드레인 영역(N11D)(NMOS트랜지스터(N13)의 소스 영역(N13S))과 NMOS트랜지스터들(N12, N13)의 공통 드레인 영역(N12D, N13D)사이의 위에 NMOS트랜지스터(N12, N13)의 게이트 영역(N12G, N13G)이 배치된다. NMOS트랜지스터들(N11, N12, N13)의 게이트 영역(N11G, N12G, N13G)은 일체로 배치된다.

<33> 도2에 나타낸 바와 같이 비트 라인 프리차지 회로를 구성하는 NMOS트랜지스터들(N12, N13)은 채널 폭에 비해서 채널 길이 짧아 저항 값이 아주 작다.

<34> 도시하지는 않았지만, 다른 비트 라인 프리차지 회로들의 레이아웃 방법은 도2에 나타낸 비트 라인 프리차지 회로(14-5)의 레이아웃 방법과 동일하다.

<35> 따라서, 종래의 반도체 메모리 장치의 비트 라인 프리차지 회로는 워드 라인과 어레이 비트 라인쌍사이에 쇼트가 발생한 경우에 프리차지 동작이 수행되면 어레이 비트 라인(ABL1)의 전압 레벨이 떨어짐에 따라 동시에 어레이 비트 라인(ABL3)의 전압 레벨이 떨어지게 된다. 이에 따라, 프리차지 전압(VBL) 발생 라인으로부터 비트 라인 프리차지

회로들(14-5, 14-7)을 구성하는 NMOS트랜지스터들(N12, N32)을 통하여 전류 흐름이 발생하게 됨으로써 프리차지 전압(VBL) 발생 라인에 전압 강하가 발생하게 된다.

<36> 또한, 종래의 반도체 메모리 장치의 비트 라인 프리차지 회로는 워드 라인과 어레이 비트 라인사이에 쇼트가 발생한 경우에 스태바이 상태에서도 프리차지 회로들(14-5, 14-7)을 구성하는 NMOS트랜지스터들(N12, N32)을 통하여 전류 흐름이 발생됨으로써 스태바이 전류가 증가하게 된다는 문제점이 있었다.

<37> 도3은 본 발명의 반도체 메모리 장치의 비트 라인쌍사이의 실시예의 회로 구성을 나타내는 것으로, 상하로 이웃하는 동일 컬럼 선택신호에 의해서 선택되는 어레이 비트 라인쌍들((ABL1, ABL1B), (ABL3, ABL3B)) 각각의 사이에 연결되는 비트 라인 프리차지 회로들(14-1, 14-3)과 프리차지 전압(VBL) 발생 라인사이에 NMOS트랜지스터(N50)를 추가적으로 연결하고, 비트 라인 프리차지 회로들(14-5, 14-7)과 프리차지 전압(VBL) 발생 라인사이에 NMOS트랜지스터(N51)를 추가적으로 연결하여 구성되어 있다.

<38> 또한, 어레이 비트 라인쌍들((ABL2, ABL2B), (ABL4, ABL4B)) 각각의 사이에 연결되는 비트 라인 프리차지 회로들(14-2, 14-4)과 프리차지 전압(VBL) 발생 라인사이에 NMOS트랜지스터(N52)를 추가적으로 연결하고, 비트 라인 프리차지 회로들(14-6, 14-8)과 프리차지 전압(VBL) 발생 라인사이에 NMOS트랜지스터(N53)를 추가적으로 연결하여 구성되어 있다.

<39> 즉, 도3의 반도체 메모리 장치는 상하로 이웃하는 동일 컬럼 선택신호(CSL1)에 의해서 선택되는 어레이 비트 라인쌍들((ABL1, ABL1B), (ABL3, ABL3B)) 각각의 사이에 연결된 비트 라인 프리차지 회로들(14-1, 14-3) 각각의 NMOS트랜지스터들(N14, N15, N34, N35)의 공통점에 연결된 소스와 해당 프리차지 제어신호(PREi)가 인가되는 게이트와 프

리차지 전압(VBL)이 인가되는 드레인을 가진 NMOS트랜지스터(N50), 및 비트 라인 프리차지 회로들(14-5, 14-7) 각각의 NMOS트랜지스터들(N12, N13, N32, N33)의 공통점에 연결된 소스와 해당 프리차지 제어신호들(PRE(i+1))이 인가되는 게이트와 프리차지 전압(VBL)이 인가되는 드레인을 가진 NMOS트랜지스터(N21)를 도1의 반도체 메모리 장치에 추가하여 구성되어 있다.

<40> 또한, 어레이 비트 라인쌍들((ABL2, ABL2B), (ABL4, ABL4B)) 각각의 사이에 연결된 비트 라인 프리차지 회로들(14-2, 14-4) 각각의 NMOS트랜지스터들(N24, N25, N44, N35)의 공통점에 연결된 소스와 해당 프리차지 제어신호(PREi+1)가 인가되는 게이트와 프리차지 전압(VBL)이 인가되는 드레인을 가진 NMOS트랜지스터(N52), 및 비트 라인 프리차지 회로들(14-6, 14-8) 각각의 NMOS트랜지스터들(N22, N23, N42, N43)의 공통점에 연결된 소스와 해당 프리차지 제어신호들(PRE(i+2))이 인가되는 게이트와 프리차지 전압(VBL)이 인가되는 드레인을 가진 NMOS트랜지스터(N53)로 구성되어 있다.

<41> 그리고, NMOS트랜지스터들(N50, N51, N52, N53)의 저항 값은 프리차지 회로들(14-1 ~ 14-8) 각각을 구성하는 NMOS트랜지스터들의 저항 값보다 크게 구성되어 있다.

<42> 도3에 나타낸 반도체 메모리 장치의 워드 라인(WLj)과 어레이 비트 라인(ABL1) 사이에 쇼트가 발생한 경우의 동작을 설명하면 다음과 같다.

<43> 프리차지 동작시에 전원전압(VCC) 레벨의 아이솔레이션 제어신호들(ISOi, ISO(i+1), ISO(i+2))와 전원전압(VCC)레벨의 프리차지 제어신호들((PREi, PRE(i+1), PRE(i+2))이 인가되면 프리차지 회로들(14-1 ~ 14-8)의 NMOS 트랜지스터와 아이솔레이션 회로들(16-1, 16-2)의 NMOS 트랜지스터들이 온되어, 어레이 비트 라인쌍들((ABL1, ABL1B), (ABL3, ABL3B))과 센스 비트 라인쌍들((SBL1, SBL1B), (SBL3, SBL3B))이 프리

차지 전압(VBL) 레벨로 프리차지되고 또한 어레이 비트 라인쌍들((ABL2, ABL2B), (ABL4, ABL4B))과 센스 비트 라인쌍들((SBL2, SBL2B), (SBL4, SBL4B))이 프리차지 전압(VBL) 레벨로 프리차지된다.

<44> 만일, 메모리 셀(MC1)의 워드 라인(WLj)와 어레이 비트 라인(ABL1)이 단락(short) 되었다면 워드라인(WLj)이 접지 전압 레벨이기 때문에 어레이 비트 라인 (ABL1)은 접지 전압 레벨로 낮아지게 되나 프리차지 회로(14-5)의 NMOS트랜지스터(N12)와 프리차지 제어신호(PRE(i+1))에 의해 제어되는 NMOS트랜지스터(N51)를 통하는 전류경로를 프리차지 전압(VBL)이 연결되므로 프리차지 전압(VBL) 레벨이 인접 어레이 비트 라인들에 영향을 줄 정도로 낮아지지 않게 된다.

<45> 즉, 프리차지 동작시에 워드 라인(WLj)이 접지전압(VSS) 레벨이나, 프리차지 회로(14-5)를 구성하는 NMOS트랜지스터(N51)의 저항 값이 크므로 프리차지 전압(VBL) 라인으로부터 워드 라인(WLj)으로 전류 흐름이 거의 없게 된다. 이에 따라, 프리차지 전압(VBL) 발생 라인의 레벨이 떨어지지 않게 된다.

<46> 다시 말하면, 프리차지 동작시에 프리차지 회로(14-5)를 구성하는 NMOS트랜지스터들(N12, N13)의 드레인 공통점과 프리차지 전압(VBL) 발생 라인사이에 고저항의 NMOS트랜지스터(N51)와 프리차지 회로(14-7)를 구성하는 NMOS트랜지스터들(N32, N33)의 드레인 공통점과 프리차지 전압(VBL) 발생 라인사이에 고저항의 NMOS트랜지스터(N51)를 연결하여 프리차지 전압(VBL) 발생 라인의 전압이 떨어지지 않게 된다.

<47> 또한, 본 발명의 반도체 메모리 장치는 프리차지 동작시에만 NMOS트랜지스터들(N50, N51, N52, N53)이 온되어 프리차지 전압(VBL)이 비트 라인 프리차지 회로들(14-1 ~ 14-8)로 인가되고, 스탠바이 상태에는 NMOS트랜지스터들(N50, N51, N52, N53)이 오프

되기 때문에 비트 라인 프리차지 회로들(14-1 ~ 14-8)을 통한 스탠바이 전류 소모가 발생되지 않는다.

<48> 도4는 도3에 나타난 반도체 메모리 장치의 비트 라인 프리차지 회로의 실시예의 레이아웃을 나타내는 것으로, N11S, N12S, N13S는 NMOS트랜지스터들(N11, N12, N13)의 소스 영역을, N12D, N13D, N14D는 NMOS트랜지스터들(N11, N12, N13)의 드레인 영역을, N11G, N12G, N13G는 NMOS트랜지스터들(N11, N12, N13)의 게이트 영역을 각각 나타낸다. N31S, N32S, N33S는 NMOS트랜지스터들(N31, N32, N33)의 소스 영역을, N31D, N32D, N33D는 NMOS트랜지스터들(N31, N32, N33)의 드레인 영역을, N31G, N32G, N33G는 NMOS트랜지스터들(N31, N32, N33)의 게이트 영역을 각각 나타낸다. 또한, N51S는 NMOS트랜지스터(N51)의 소스 영역을, N51D는 NMOS트랜지스터(N51)의 드레인 영역을, N51G는 NMOS트랜지스터(N51)의 게이트 영역을 나타낸다. 그리고, $\ell 1$, $\ell 2$, $\ell 3$, $\ell 4$, $\ell 5$, $\ell 6$, $\ell 7$ 은 NMOS트랜지스터들(N11, N12, N13, N31, N32, N33, N51) 각각의 채널 길이를 나타낸다.

<49> 도4를 보다 상세하게 살펴보면 NMOS트랜지스터(N51)의 게이트 영역(N51G)은 어레이 비트 라인(ABL1)과 어레이 비트 라인(ABL3)에 걸쳐 형성되어 있고 드레인 영역(N51D)은 어레이 비트 라인(ABL1) 영역에, 소스 영역(N51S)은 어레이 비트 라인(ABL3)의 영역에 형성되어 NMOS트랜지스터(N51)의 채널 길이는 $\ell 7$ 이 된다. 따라서 NMOS트랜지스터(N51)의 저항 값이 증가하게 됨으로 전류의 흐름을 억제하게 된다. 여기에서 NMOS트랜지스터(N51)의 드레인 영역(N51D)을 어레이 비트 라인(ABL3)에 배치하고 소스 영역(N51S)을 어레이 비트 라인(ABL1)에 배치할 수도 있다.

<50> 이와 같은 배치를 가능하게 하기 위하여 먼저, 어레이 비트 라인(ABL1)의 영역을 살펴보면, 기판(미도시)위에 액티브 영역이 가로 방향으로 긴 사각형 형태로 상하로 배

치되고, 하부의 사각형의 액티브 영역으로부터 가늘고 길게 가로 방향으로 배치된 후 상부로 구부러져 배치된다. 액티브 영역(60)의 영역(N12D, N13D, N51S)으로부터 영역(N51D)까지의 액티브 영역이 길게 배치된다. 액티브 영역(60)의 영역(N11S, N12S)과 영역(N11D, N13S))사이의 위에 가로 방향으로 게이트 영역(N11G)이 배치된다. 마찬가지로, 액티브 영역(60)의 영역(N31S, N32S, N31D, N33S)사이의 위에 가로 방향으로 게이트 영역(N31G)이 배치된다. 영역(N12G, N13G)은 영역들((N11S, N12S), (N11D, N13S), (N31S, N32S), (N31D, N33S)), 및 영역(N12D, N13D, N32D, N33D, N51S)사이의 위에 영역(N11G, N31G)과 직교하는 방향으로 배치된다. 즉, NMOS트랜지스터들(N11, N12, N13, N31, N32, N33)의 게이트 영역(N11G, N12G, N13G, N31G, N32G, N33G)(62)은 일체형으로 배치된다. 그리고, 영역(N51G)은 영역(N12D, N13D, N32D, N33D, N51S)과 영역(N51D)사이의 위에 배치된다.

<51> 이때, NMOS트랜지스터(N51)의 채널 길이(ℓ_7)가 채널 폭에 비해서 길게 형성되어 있으므로 NMOS트랜지스터(N51)의 저항 값이 NMOS트랜지스터들(N11, N12, N13, N31, N32, N33)의 저항 값보다 크다.

<52> 위의 실시예에서는 두개의 어레이 비트 라인쌍((ABL1, ABL1B), (ABL3, ABL3B)) 사이에 하나의 고저항 NMOS 트랜지스터(N51)를 배치하였으나 설계에 따라서는 복수개의 어레이 비트 라인 쌍마다 하나의 고저항 NMOS트랜지스터를 배치하는것도 가능하다.

<53> 따라서, 도4에 나타낸 바와 같이 비트 라인 프리차지 회로를 레이아웃함으로써 워드 라인과 어레이 비트 라인쌍사이에 쇼트가 발생한 경우에 프리차지 동작이 수행되더라도 프리차지 전압(VBL) 발생 라인에 전압 강하가 발생되지 않게 된다.

- <54> 또한, 도4에 나타난 바와 같이 비트 라인 프리차지 회로를 레이아웃함으로써 워드 라인과 어레이 비트 라인쌍사이에 쇼트가 발생한 경우에 스탠바이 상태에서 NMOS트랜지스터들(N50, N51, N52, N53)이 오프되어 있으므로, 프리차지 회로들을 구성하는 NMOS트랜지스터들을 통한 전류 흐름이 발생되지 않으므로, 스탠바이 전류 소모가 줄어들게 된다.
- <55> 도5는 본 발명의 반도체 메모리 장치의 비트 라인 프리차지 회로의 다른 실시예의 레이아웃을 나타내는 것으로, 어레이 비트 라인쌍들((ABL1, ABL1B), (ABL3, ABL3B))사이에 연결된 비트 라인 프리차지 회로들(14-5, 14-7)의 NMOS트랜지스터들(N11, N12, N13, N31, N32, N33)의 레이아웃을 나타내는 것이다.
- <56> 도5에 나타난 부호들은 도4에 나타난 부호들과 동일한 영역을 나타낸다. L1, L2, L3, L4, L5, L6 로 나타난 부호들은 NMOS트랜지스터들(N11, N12, N13, N31, N32, N33)의 채널 길이를 나타낸다.
- <57> 도3의 레이아웃은 기판(미도시)위에 액티브 영역(70)이 가로 방향으로 긴 직사각형 형태로 상하로 배치되고, 하부의 사각형의 액티브 영역(70)으로부터 가늘고 길게 가로 방향으로 배치된 후 상부로 구부러져 배치된다. 액티브 영역(70)의 영역(N11S, N12S)과 영역(N11D, N13S)사이의 위에 가로 방향으로 영역(N11G)이 배치된다. 액티브 영역(70)의 영역(N31S, N32S)과 영역(N31D, N33S)사이의 위에 가로 방향으로 영역(N31G)이 배치된다. 영역(N11G, N31G)과 직교하는 방향으로 영역들((N11S, N12S), (N11D, N13S), N31S, N32S), (N31D, N33S))과 영역(N12D, N13D, N32D, N33D)사이의 위에 게이트 영역(N12G, N13G, N32G, N33G)이 배치된다. 즉, NMOS트랜지스터들(N11, N12, N13, N31, N32, N33)의 게이트 영역(N11G)은 일체형으로 연결되어 배치된다.

<58> 보다 상세하게는 프리차지 전압발생 라인(VBL)과 연결되는 NMOS트랜지스터들(N12, N13, N32, N33)의 드레인 영역(N12D, N13D, N32D, N33D)은 어레이 비트 라인 쌍(ABL1, ABL1B) 영역에 배치되고 위의 드레인 영역과 연결되는 채널 영역(70)의 제1단은 어레이 비트 라인(ABL1) 영역에서 어레이 비트 라인(ABL3) 영역으로 신장된 다음 각각의 NMOS트랜지스터들(N12, N13, N32, N33)의 소스 영역에 채널 영역의 2단이 연결된다. 즉, 어레이 비트 라인(ABL3) 영역에 형성된 채널은 어레이 비트 라인 영역(ABL1)의 NMOS트랜지스터들(N12, N13)의 소스에 연결되어 채널 길이(L2, L3)를 가진 채널을 형성하게 되고 어레이 비트 라인(ABL3) 영역의 NMOS트랜지스터들(N32, N33)의 소스와 연결되어 채널 길이(L5, L6)를 가진 채널을 형성하게 된다.

<59> 도5에 나타낸 바와 같이 본 발명의 반도체 메모리 장치의 비트 라인 프리차지 회로는 프리차지 회로를 구성하는 NMOS트랜지스터들(N12, N13, N32, N33)의 채널 길이가 채널 폭에 비해서 길게 배치되어 있으므로 NMOS트랜지스터들(N12, N13, N32, N33)의 저항 값이 NMOS트랜지스터들(N11, N31)의 저항 값보다 크게 된다.

<60> 도5의 레이아웃 방법은 프리차지 회로들(14-1 ~ 14-8)과 프리차지 전압발생(VBL) 라인에 연결되는 고저항의 NMOS트랜지스터들(N50, N51, N52, N53)을 구비하지 않고 프리차지 회로들(14-1 ~ 14-8) 각각을 구성하는 NMOS트랜지스터들의 채널 길이를 길게으로써 저항 값을 증가시킨 것이다.

<61> 그리고, 도5의 비트 라인 프리차지 회로의 레이아웃 방법은 동일 컬럼 선택신호(CSL1)에 의해서 선택되는 상하로 위치한 어레이 비트 라인쌍들((ABL1, ABL1B), (ABL3, ABL3B))에 연결된 프리차지 회로들(14-5, 14-7)의 NMOS트랜지스터들(N11, N12, N13, N31, N32, N33)의 액티브 영역 및 게이트 영역 각각을 일체로 배치하여 구성되어 있다.

<62> 따라서, 도5에 나타낸 바와 같이 비트 라인 프리차지 회로를 레이아웃함으로써 워드 라인과 어레이 비트 라인쌍사이에 쇼트 발생한 경우에 프리차지 동작이 수행되면 어레이 비트 라인쌍의 전압 레벨이 떨어지게 되더라도 프리차지 전압(VBL) 발생 라인으로부터 비트 라인 프리차지 회로들(14-5, 14-7)을 구성하는 NMOS트랜지스터들(N12, N13, N32, N33)을 통한 전류 흐름이 저지됨으로써 프리차지 전압(VBL) 발생 라인의 전압 강하가 이루어지지 않게 된다.

<63> 또한, 스탠바이 상태에서 비트 라인 프리차지 회로를 구성하는 NMOS트랜지스터들을 통한 전류 흐름이 저지됨으로써 스탠바이 전류 소모가 감소된다.

<64> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<65> 본 발명의 반도체 메모리 장치의 비트 라인 프리차지 회로는 워드 라인과 비트 라인쌍사이에 쇼트 발생시에 해당 비트 라인쌍사이에 연결된 프리차지 회로를 통한 프리차지 전압 발생 라인의 전압 감소를 방지할 수 있다.

<66> 따라서, 본 발명의 반도체 메모리 장치의 비트 라인 프리차지 회로는 스탠바이 상태에서 스탠바이 전류 소모를 줄일 수 있다.

【특허청구범위】**【청구항 1】**

비트 라인쌍사이에 직렬 연결되고 프리차지 제어신호가 인가되는 게이트를 가지고
상기 프리차지 제어신호에 응답하여 상기 비트 라인쌍으로 프리차지 전압을 전송하는 제
1 및 제2트랜지스터들; 및

상기 비트 라인쌍사이에 연결되고 상기 프리차지 제어신호가 인가되는 게이트를
가지고 상기 비트 라인쌍을 동일 레벨로 만드는 제3트랜지스터를 구비하고,

상기 제1, 2NMOS트랜지스터들의 채널 길이를 상기 제3트랜지스터들의 채널 길이보
다 길게 함으로써, 상기 제1, 2NMOS트랜지스터들의 저항 값이 상기 제3트랜지스터의 저
항 값보다 큰 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 2】

비트 라인쌍사이에 연결되고 프리차지 제어신호에 응답하여 비트 라인쌍을 프리차
지 전압으로 프리차지하는 비트 라인 프리차지 회로; 및

상기 프리차지 제어신호에 응답하여 상기 프리차지 전압을 상기 비트 라인 프리차
지 회로로 전송하는 프리차지 전압 전송회로;

상기 프리차지 전압 전송회로는 적어도 둘 이상의 프리차지 회로와 연결되는것을
특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 3】

제2항에 있어서, 상기 프리차지 전압 전송회로의 저항 값이 상기 비트 라인 프리차지 회로의 저항 값보다 큰 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 4】

제2항에 있어서, 상기 비트 라인 프리차지 회로는

상기 비트 라인쌍사이에 직렬 연결되고 상기 프리차지 제어신호가 인가되는 게이트를 가지고 상기 프리차지 제어신호에 응답하여 상기 비트 라인쌍으로 프리차지 전압을 전송하는 제1 및 제2NMOS트랜지스터들; 및

상기 비트 라인쌍사이에 연결되고 상기 프리차지 제어신호가 인가되는 게이트를 가지고 상기 프리차지 제어신호에 응답하여 상기 비트 라인쌍을 등화하는 제3NMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 5】

제4항에 있어서, 상기 프리차지 전압 전송회로는

상기 제1 및 제2NMOS트랜지스터들의 공통점과 상기 프리차지 전압사이에 연결되고 상기 프리차지 제어신호가 인가되는 게이트를 가진 제4NMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 6】

복수개의 워드 라인 선택신호들에 응답하여 선택되는 복수개의 워드 라인들;

상기 복수개의 워드 라인들과 직교하는 방향으로 배치된 복수개의 컬럼 선택신호들에 응답하여 선택되는 복수개의 비트 라인쌍들;

상기 복수개의 워드 라인들과 상기 복수개의 비트 라인쌍들사이에 연결된 복수개의 메모리 셀들; 및

복수개의 프리차지 제어신호들에 응답하여 상기 복수개의 비트 라인쌍들을 프리차지 전압으로 프리차지하는 복수개의 비트 라인 프리차지 회로들을 구비하고,

상기 복수개의 비트 라인 프리차지 회로들 각각이 상기 비트 라인쌍사이에 직렬 연결되고 프리차지 제어신호가 인가되는 게이트를 가지고 상기 프리차지 제어신호에 응답하여 상기 비트 라인쌍으로 프리차지 전압을 전송하는 제1 및 제2트랜지스터들; 및

상기 비트 라인쌍사이에 연결되고 상기 프리차지 제어신호가 인가되는 게이트를 가지고 상기 비트 라인쌍을 동일 레벨로 만드는 제3트랜지스터를 구비하고,

상기 제1, 2NMOS트랜지스터들의 채널 길이를 상기 제3트랜지스터들의 채널 길이보다 길게 함으로써, 상기 제1, 2NMOS트랜지스터들의 저항 값이 상기 제3트랜지스터의 저항 값보다 큰 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 7】

복수개의 워드 라인 선택신호들에 응답하여 선택되는 복수개의 워드 라인들;

상기 복수개의 워드 라인들과 직교하는 방향으로 배치된 복수개의 컬럼 선택신호들에 응답하여 선택되는 복수개의 비트 라인쌍들;

상기 복수개의 워드 라인들과 상기 복수개의 비트 라인쌍들사이에 연결된 복수개의 메모리 셀들;

복수개의 프리차지 제어신호들에 응답하여 상기 복수개의 비트 라인쌍들을 프리차지 전압으로 프리차지하는 복수개의 비트 라인 프리차지 회로들; 및

상기 복수개의 프리차지 제어신호들에 응답하여 상기 복수개의 비트 라인 프리차지 회로들로 상기 프리차지 전압을 전송하는 복수개의 프리차지 전압 전송회로들을 구비하는 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 8】

제7항에 있어서, 상기 복수개의 프리차지 전압 전송회로들 각각의 저항 값이 상기 복수개의 비트 라인 프리차지 회로들 각각의 저항 값보다 큰 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 9】

제7항에 있어서, 상기 복수개의 비트 라인 프리차지 회로들 각각은
상기 비트 라인쌍사이에 직렬 연결되고 상기 프리차지 제어신호가 인가되는 게이트를 가진 제1 및 제2NMOS트랜지스터들; 및

상기 비트 라인쌍사이에 연결되고 상기 프리차지 제어신호가 인가되는 게이트를 가진 제3NMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 10】

제9항에 있어서, 상기 복수개의 프리차지 전압 전송회로들 각각은

상기 복수개의 비트 라인쌍들중 동일 컬럼 선택신호에 응답하여 선택되는 서로 이웃하는 소정 개수의 비트 라인 프리차지 회로들에 대응하여 구비되는 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 11】

제9항에 있어서, 상기 복수개의 프리차지 전압 전송회로들 각각은 서로 이웃하는 소정 개수의 비트 라인 프리차지 회로들 각각의 상기 제1 및 제2NMOS트랜지스터들의 공통점과 상기 프리차지 전압사이에 연결되고 상기 프리차지 제어 신호에 응답하여 온되는 제4NMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 12】

제1프리차지 회로가 배치되는 제1비트 라인영역과 제2프리차지 회로가 배치되는 제2비트 라인영역을 구비하는 반도체 메모리 장치의 비트 라인 프리차지 회로에 있어서, 상기 제1비트 라인 영역에 배치되는 제1트랜지스터; 및
상기 제2비트 라인 영역에 배치되는 제2트랜지스터로 이루어져 있고,
상기 제1트랜지스터의 채널은 상기 제1비트 라인의 제1영역에서 시작하여 상기 제2비트 라인 영역을 통하여 형성되는 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 13】

제12항에 있어서, 상기 제1트랜지스터의 채널은 상기 제1비트 라인의 제2영역 지점까지인 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 14】

제13항에 있어서, 상기 제1영역과 제2영역은 동일 비트 라인에 연결되는 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 15】

제12항에 있어서, 상기 제2트랜지스터의 채널은 상기 제2비트 라인 영역에서 시작하여 상기 제1비트 라인의 제1영역에서 끝나는 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 16】

제1프리차지 회로가 배치되는 제1비트 라인 영역에 제1트랜지스터가 배치되고 제2프리차지 회로가 배치되는 제2비트 라인 영역에 제2트랜지스터가 배치되는 반도체 메모리 장치의 비트 라인 프리차지 회로에 있어서,

상기 제1트랜지스터가 형성되는 제1액티브 영역;

상기 제2트랜지스터가 형성되는 제2액티브 영역; 및

제 3트랜지스터가 형성되는 제3액티브 영역을 구비하고 있고,

상기 제1액티브 영역의 일단과 상기 제2액티브 영역의 일단을 연결하고 상기 제2액티브 영역의 일단과 상기 제3액티브 영역의 일단을 연결하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 17】

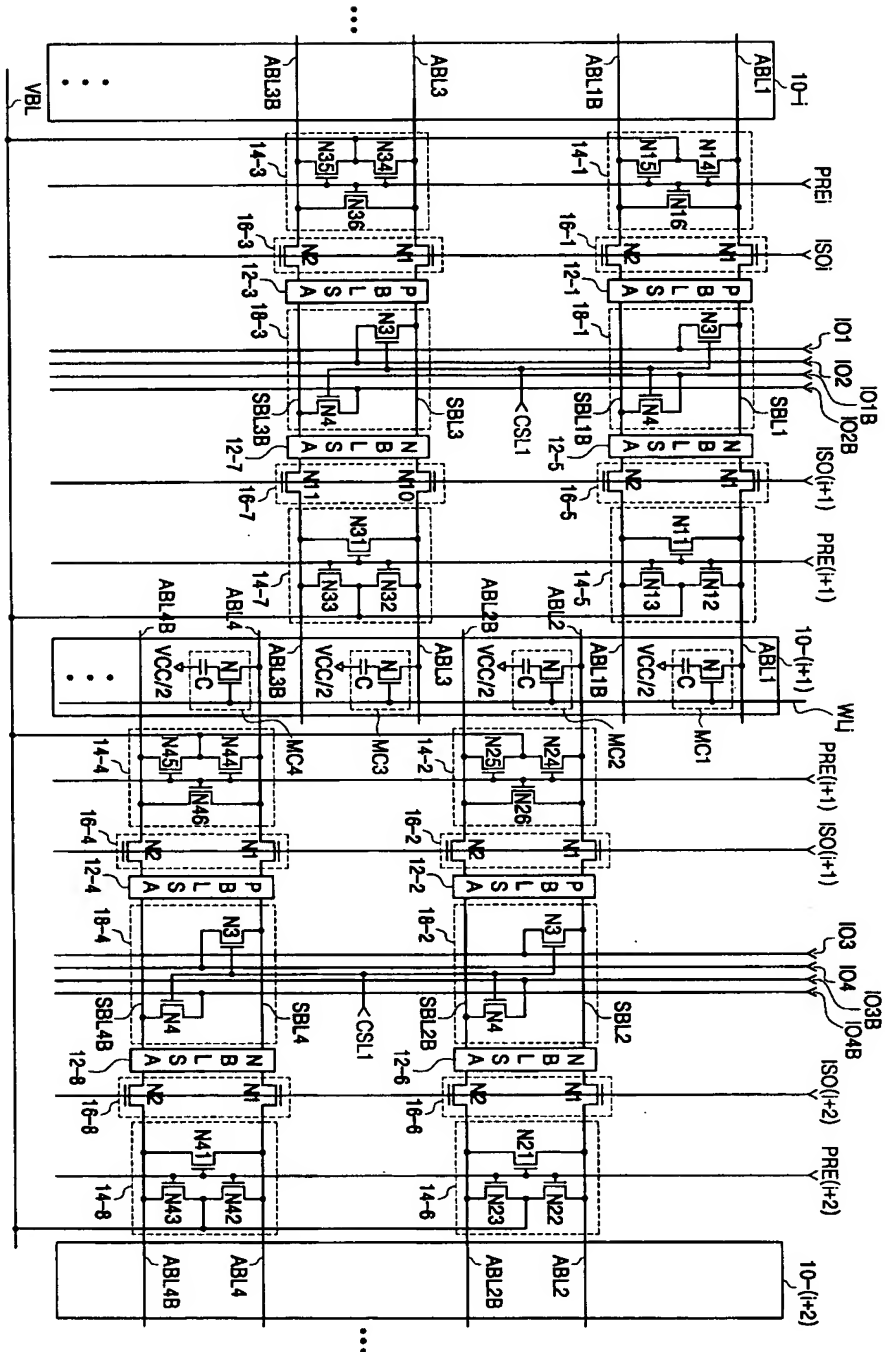
제16항에 있어서 상기 제3트랜지스터는 상기 제1비트 라인 영역에서 상기 제2비트 라인 영역에 걸쳐 형성되는 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【청구항 18】

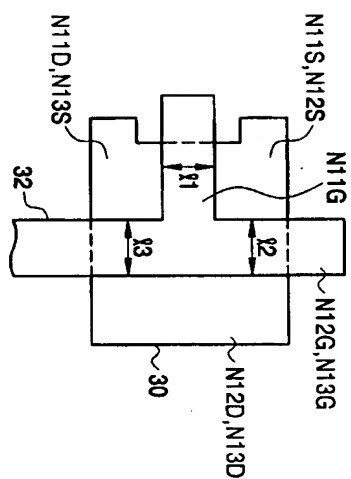
제16항에 있어서, 상기 제1액티브 영역에는 상기 제1트랜지스터의 채널이 상기 제2액티브 영역에는 제2채널이 형성되고, 제3액티브 영역에는 제3채널이 형성되는 것을 특징으로 하는 반도체 메모리 장치의 비트 라인 프리차지 회로.

【도면】

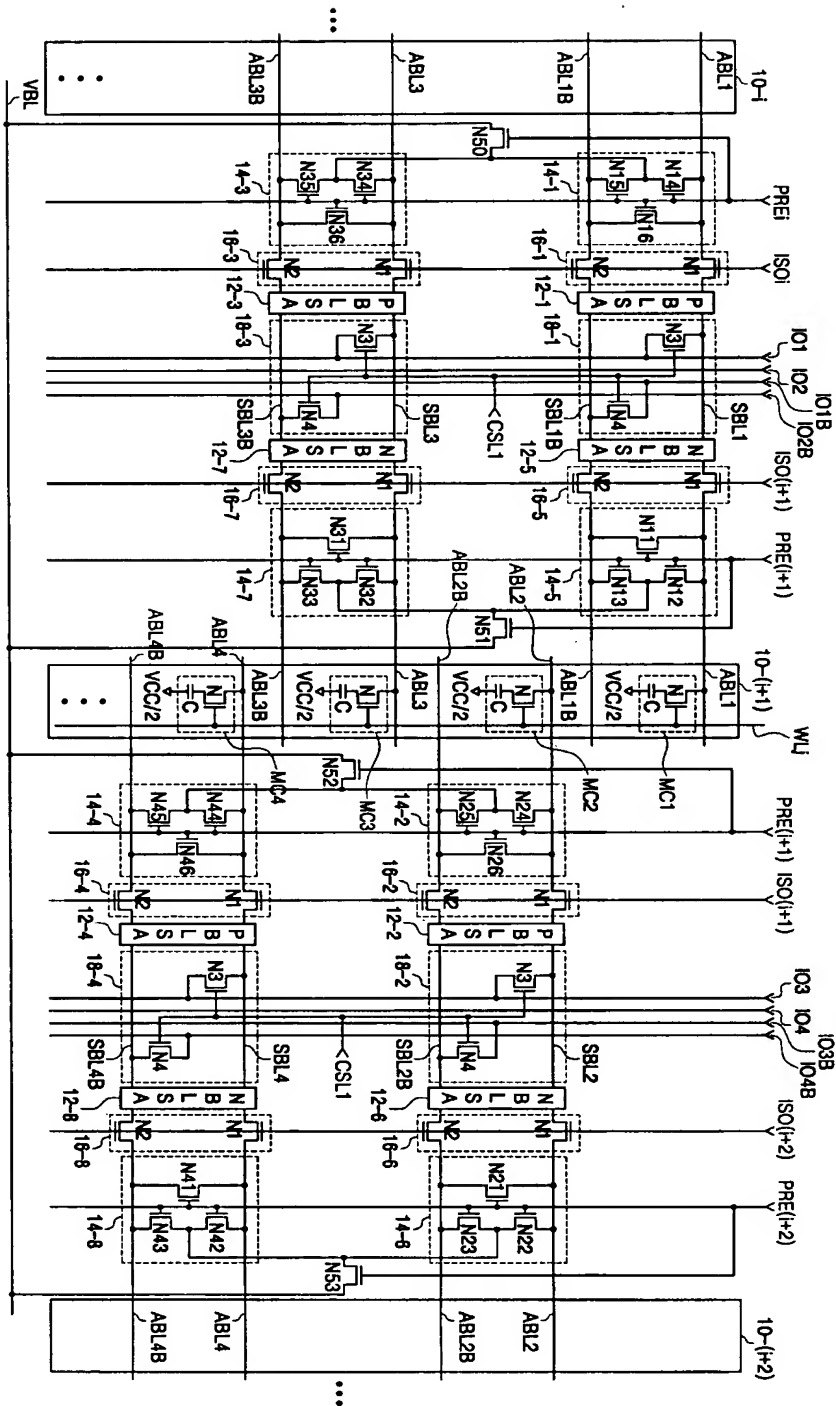
【도 1】



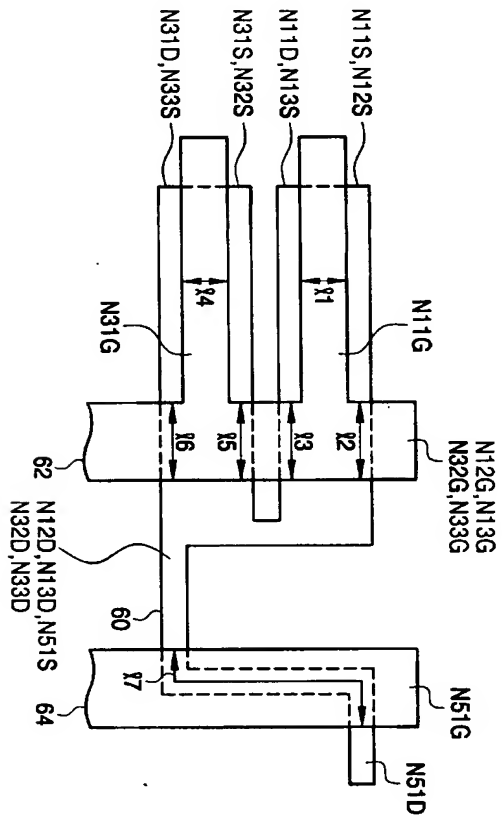
【도 2】



【도 3】



【도 4】



【도 5】

